

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-264047

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.<sup>5</sup>

H 0 3 K 19/086

19/013

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平6-49270

(22) 出願日 平成6年(1994)3月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 古藤 友彦

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 ECL回路

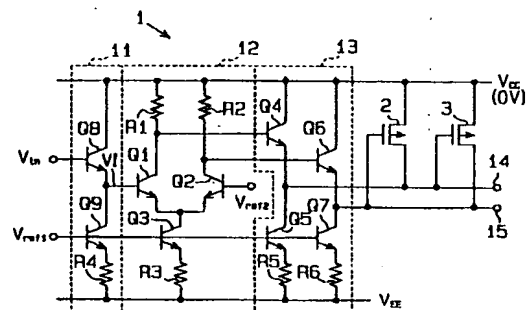
包袋済

(57) 【要約】

【目的】 差動増幅回路のトランジスタの飽和による動作速度の低下を招くことなく、出力信号の振幅を大きくできるECL回路を提供する。

【構成】 ECL回路1はレベルシフト回路11、差動増幅回路12、エミッタフォロア回路13及びPMOSTランジスタ2、3からなる。回路13はエミッタフォロアトランジスタQ4、Q6を備える。トランジスタQ4のベースはトランジスタQ1のコレクタに接続され、エミッタに出力端子14が接続されている。トランジスタQ6のベースはトランジスタQ2のコレクタに接続され、エミッタに出力端子15が接続されている。トランジスタ2のソース及びドレインは電源VCC及び出力端子14に接続され、ゲートは出力端子15に接続されている。PMOSTランジスタ3のソース及びドレインは電源VCC及び出力端子15に接続され、ゲートは出力端子14に接続されている。

本発明を具体化した一実施例を示す回路図





(2)

## 【特許請求の範囲】

【請求項1】 エミッタカップルトランジスタを構成する第1のトランジスタ(Q1)のコレクタと第2のトランジスタ(Q2)のコレクタに高電位電源(VCC)を供給するとともにエミッタは定電流源(Q3, R3)を介して低電位電源(VEE)に接続し、前記第1のトランジスタ(Q1)のベースに入力信号(VI)を入力するとともに該第2のトランジスタ(Q2)のベースに基準電圧信号(Vref2)を入力した差動増幅回路(12)と、前記高電位電源(VCC)と低電位電源(VEE)との間に直列に接続されたNPNトランジスタよりなるエミッタフォロアトランジスタ(Q4, Q6)と定電流源とからなり、前記第1及び第2のトランジスタ(Q1, Q2)の一方のトランジスタのコレクタを前記エミッタフォロアトランジスタ(Q4, Q6)のベースに接続し、同トランジスタ(Q4, Q6)のエミッタに接続された出力端子(14, 15)から出力信号を出力するエミッタフォロア回路(13)と、

ソース及びドレインが前記高電位電源(VCC)及び前記出力端子にそれぞれ接続され、かつ、ゲートには前記エミッタフォロアトランジスタへの出力とは逆相の出力をなす前記差動増幅回路(12)の出力が入力されるPMOSTランジスタ(2, 3)とを備えるECL回路。

【請求項2】 前記エミッタフォロア回路(13)は、前記第1のトランジスタ(Q1)のコレクタにベースが接続され、かつ、そのエミッタに接続された第1の出力端子(14)から出力信号を出力する第1のエミッタフォロアトランジスタ(Q4)と、

前記第2のトランジスタのコレクタにベースが接続され、かつ、そのエミッタに接続された第2の出力端子

(15)から出力信号を出力する第2のエミッタフォロアトランジスタ(Q6)とを備え、

前記第1及び第2の出力端子(14, 15)に対して設けられた第1及び第2のPMOSTランジスタ(2, 3)と、

前記第1のPMOSTランジスタ(2)のソース及びドレインは前記高電位電源(VCC)及び前記第1の出力端子(14)にそれぞれ接続され、かつ、ゲートは前記第2の出力端子(15)に接続されていることと、

前記第2のPMOSTランジスタ(3)のソース及びドレインは前記高電位電源(VCC)及び前記第2の出力端子(15)にそれぞれ接続され、かつ、ゲートは前記第1の出力端子(14)に接続されていることとからなる請求項1に記載のECL回路。

【請求項3】 前記第1及び第2のPMOSTランジスタ(2, 3)と前記高電位電源(VCC)との間には、第1及び第2のPMOSTランジスタ(2, 3)に供給する電流を制限するためのPMOSTランジスタ(8, 9)が接続され、電流制限用のPMOSTランジスタ(8, 9)のゲートは前記低電位電源(VEE)に接続さ



特開平 7-264047

2

れている請求項2に記載のECL回路。

【請求項4】 前記エミッタフォロア回路(13)は、前記第1のトランジスタ(Q1)のコレクタにベースが接続され、かつ、そのエミッタに接続された第1の出力端子(14)から出力信号を出力する第1のエミッタフォロアトランジスタ(Q4)と、

前記第2のトランジスタのコレクタにベースが接続され、かつ、そのエミッタに接続された第2の出力端子

(15)から出力信号を出力する第2のエミッタフォロアトランジスタ(Q6)とを備え、

前記第1及び第2の出力端子(14, 15)に対して設けられた第3及び第4のPMOSTランジスタ(5, 6)と、

前記第3のPMOSTランジスタ(5)のソース及びドレインは前記高電位電源(VCC)及び前記第1の出力端子(14)にそれぞれ接続され、かつ、ゲートは前記第2のトランジスタ(Q2)のコレクタに接続されていることと、

前記第4のPMOSTランジスタ(6)のソース及びドレインは前記高電位電源(VCC)及び前記第2の出力端子(15)にそれぞれ接続され、かつ、ゲートは前記第1のトランジスタ(Q1)のコレクタに接続されていることとからなる請求項1に記載のECL回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はECL(エミッタカップルドロジック)回路に関する。近年、半導体集積回路には動作の高速化が要求されている。この要求に対し、Bi-CMOS技術などの重要度は高くなり、依然としてバイポーラトランジスタを含むECL回路の性能向上は重要な課題となっている。特に、ECL回路の次段に接続される回路がBi-CMOS回路である場合、この回路への入力信号の振幅が小さくなると、回路の動作が遅くなり、遅延時間が増大してしまう。

【0002】

【従来の技術】図5には従来のECL回路の一例が示されている。ECL回路10はレベルシフト回路11、差動増幅回路12及びエミッタフォロア回路13で構成されている。

【0003】シフト回路11は、高電位電源VCC(0V)と低電位電源VEEとの間に直列に接続されたNPNトランジスタQ8及び定電流源からなる。この定電流源はNPNトランジスタQ9及び抵抗R4からなる。トランジスタQ3のベースには定電圧Vref1が入力されている。トランジスタQ8のベースにはECL論理の入力信号Vinが入力され、トランジスタQ8はそのエミッタから入力信号Vinからベース・エミッタ間電圧VBEだけ電圧レベルの低い信号VIを出力する。

【0004】差動増幅回路12は、エミッタ結合された第1及び第2のNPNトランジスタQ1, Q2と、各ト

50

ランジスタQ1、Q2のコレクタを電源VCCに接続する抵抗R1、R2と、両トランジスタQ1、Q2のエミッタを電源VEEに接続する定電流源とで構成されている。定電流源はNPNトランジスタQ3及び抵抗R3からなる。トランジスタQ1のベースは前記トランジスタQ8のエミッタに接続され、同ベースには信号VIが入力されている。トランジスタQ2のベースには基準電圧信号Vref2が入力されている。又、トランジスタQ3のベースには前記定電圧Vref1が入力されている。

【0005】エミッタフォロア回路13は、前記トランジスタQ1のコレクタにベースが接続され、コレクタが電源VCCに接続されたNPNトランジスタよりなる第1のエミッタフォロアトランジスタQ4、トランジスタQ4のエミッタを電源VEEに接続する定電流源を備えている。この定電流源はNPNトランジスタQ5と抵抗R5とからなる。また、エミッタフォロア回路13は前記トランジスタQ2のコレクタにベースが接続され、コレクタが高電位電源VCCに接続されたNPNトランジスタよりなる第2のエミッタフォロアトランジスタQ6、トランジスタQ6のエミッタを電源VEEに接続する定電流源を備えている。この定電流源はNPNトランジスタQ7と抵抗R6とからなる。トランジスタQ4、Q6のエミッタには逆相の信号を出力する第1及び第2の出力端子14、15が接続されている。又、トランジスタQ5、Q7のベースには前記定電圧Vref1が入力されている。

【0006】従って、入力信号VIが基準電圧信号Vref2より低い電圧（Lレベル）から高い電圧（Hレベル）に切り替わる時には、トランジスタQ1がオンしトランジスタQ2がオフする。そのため、トランジスタQ1のコレクタ電圧がHレベル（高論理電圧）からLレベル（低論理電圧）へと切り換わるとともに、トランジスタQ2のコレクタ電圧がLレベルからHレベルへと切り換わる。これにより、トランジスタQ4のベース電位は低くなり、出力端子14からはLレベルの信号が出力される。一方、トランジスタQ6のベース電位は高くなり、出力端子15からHレベルの信号が出力される。

【0007】又、入力信号VIがHレベルからLレベルに切り替わる時には、トランジスタQ1がオフしトランジスタQ2がオンする。そのため、トランジスタQ1のコレクタ電圧がLレベルからHレベルへと切り換わるとともに、トランジスタQ2のコレクタ電圧がHレベルからLレベルへと切り換わる。これにより、トランジスタQ4のベース電位は高くなり、出力端子14からはHレベルの信号が出力される。一方、トランジスタQ6のベース電位は低くなり、出力端子15からLレベルの信号が出力される。

【0008】このとき、トランジスタQ1、Q2のオン状態における抵抗R1、R2での電圧降下を2Vとし、トランジスタQ4、Q6のベース・エミッタ間電圧VBE

を0.8Vとする。すると、Hレベルの出力信号は図2に破線で示すように、電源VCCよりもトランジスタQ4、Q6のベース・エミッタ間電圧VBEだけ低い0.8Vとなり、Lレベルの出力信号はそれよりもさらに2V低い-2.8Vとなる。従って、出力信号の振幅は抵抗R1、R2における電圧降下の値で決定される。

【0009】

【発明が解決しようとする課題】上記のECL回路10において、出力信号の振幅を大きくするために、抵抗R1、R2の抵抗値を大きく設定し、抵抗R1、R2での電圧降下を大きくすることが考えられる。ところが、抵抗R1、R2の電圧降下を大きく設定して、トランジスタQ1のコレクタ電圧がそのベース電圧よりも低くなり過ぎると、トランジスタQ1が飽和してしまう。それにより、ECL回路10の急激な動作速度の低下が生じてしまい、出力振幅の最大値には限界があった。

【0010】本発明は上記問題点を解決するためになされたものであり、その目的は、差動増幅回路のトランジスタの飽和による動作速度の低下を招くことなく、出力信号の振幅を大きくできるECL回路を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、第1の発明では、エミッタカップルトランジスタを構成する第1のトランジスタのコレクタと第2のトランジスタのコレクタに高電位電源を供給するとともにエミッタは電流源を介して低電位電源に接続し、第1のトランジスタのベースに入力信号を入力するとともに該第2のトランジスタのベースに基準電圧信号を入力した差動増幅回路と、高電位電源と低電位電源との間に直列に接続されたNPNトランジスタよりなるエミッタフォロアトランジスタと電流源とからなり、第1及び第2のトランジスタの一方のトランジスタのコレクタをエミッタフォロアトランジスタのベースに接続し、同トランジスタのエミッタに接続された出力端子から出力信号を出力するエミッタフォロア回路と、ソース及びドレインが高電位電源及び出力端子にそれぞれ接続され、かつ、ゲートにはエミッタフォロアトランジスタへの出力とは逆相の出力をなす差動増幅回路の出力が入力されるPMOSトランジスタとを設けた。

【0012】第2の発明では、エミッタフォロア回路は、第1のトランジスタのコレクタにベースが接続され、かつ、そのエミッタに接続された第1の出力端子から出力信号を出力する第1のエミッタフォロアトランジスタと、第2のトランジスタのコレクタにベースが接続され、かつ、そのエミッタに接続された第2の出力端子から出力信号を出力する第2のエミッタフォロアトランジスタとを備えている。そして、第1及び第2の出力端子に対して第1及び第2のPMOSトランジスタが設けられている。第1のPMOSトランジスタのソース及び

ドレインは高電位電源及び第1の出力端子にそれぞれ接続され、かつ、ゲートは第2の出力端子に接続されている。第2のPMOSトランジスタのソース及びドレインは高電位電源及び第2の出力端子にそれぞれ接続され、かつ、ゲートは第1の出力端子に接続されている。

【0013】第3の発明では、第1及び第2のPMOSトランジスタと高電位電源との間には、第1及び第2のPMOSトランジスタに供給する電流を制限するためのPMOSトランジスタが接続され、電流制限用のPMOSトランジスタのゲートは低電位電源に接続されている。

【0014】第4の発明では、エミッタフォロア回路は、第1のトランジスタのコレクタにベースが接続され、かつ、そのエミッタに接続された第1の出力端子から出力信号を出力する第1のエミッタフォロアトランジスタと、第2のトランジスタのコレクタにベースが接続され、かつ、そのエミッタに接続された第2の出力端子から出力信号を出力する第2のエミッタフォロアトランジスタとを備えている。そして、第1及び第2の出力端子に対して第3及び第4のPMOSトランジスタが設けられている。第3のPMOSトランジスタのソース及びドレインは高電位電源及び第1の出力端子にそれぞれ接続され、かつ、ゲートは第2のトランジスタのコレクタに接続されている。第4のPMOSトランジスタのソース及びドレインは高電位電源及び第2の出力端子にそれぞれ接続され、かつ、ゲートは第1のトランジスタのコレクタに接続されている。

【0015】

【作用】第1の発明では、出力端子が高電位側レベルを出力する際、PMOSトランジスタはエミッタフォロアトランジスタへの出力とは逆相の出力によってオンされるため、出力が高電位電源にプルアップされる。逆に出力端子が低電位側レベルを出力する際、PMOSトランジスタはエミッタフォロアトランジスタへの出力とは逆相の出力によってオフされるため、低電位側レベルは維持される。その結果、出力振幅が大きくなる。

【0016】第2の発明では、第1及び第2のエミッタフォロアトランジスタによって第1及び第2のPMOSトランジスタが制御されるので、第1及び第2のPMOSトランジスタのスイッチング速度が高速化される。

【0017】第3の発明では、電流制限用のPMOSトランジスタによって第1及び第2のPMOSトランジスタに供給する電流が制限されることにより、第1及び第2のPMOSトランジスタの見かけ上のしきい値電圧が低下する。そのため、第1及び第2の出力端子の高電位側の出力によって第1及び第2のPMOSトランジスタが確実にオフし、低電位側の出力に高電位電源の影響が及ばなくなり、低電位側の出力が安定する。

【0018】第4の発明では、第3及び第4のPMOSトランジスタのゲートに入力される高電位側のレベルは

高電位電源のレベルになる。そのため、第3及び第4のPMOSトランジスタのしきい値電圧の絶対値が小さくても、第3及び第4のPMOSトランジスタは確実にオフし、低電位側の出力に高電位電源の影響が及ばなくなり、低電位側の出力が安定する。

【0019】

【実施例】以下、本発明を具体化した一実施例を第1、2図に従って説明する。尚、説明の便宜上、図5と同様の構成については符号を同一にしてその説明を一部省略する。

【0020】図1には本実施例のECL回路1が示されている。ECL回路1はレベルシフト回路11、差動増幅回路12及びエミッタフォロア回路13及びエミッタフォロア回路13の出力端子14、15に対して設けられた第1及び第2のPMOSトランジスタ2、3で構成されている。トランジスタ2、3は駆動能力の高いものが使用されている。

【0021】トランジスタ2のソース及びドレインは電源VCC及び出力端子14にそれぞれ接続されている。トランジスタ2のゲートは出力端子14（トランジスタQ4への出力と同相）とは逆相の信号を出力する出力端子15（トランジスタQ6への出力と同相）に接続されている。トランジスタ3のソース及びドレインは電源VCC及び出力端子15にそれぞれ接続されている。トランジスタ3のゲートは出力端子15とは逆相の信号を出力する出力端子14に接続されている。

【0022】従って、入力信号VIが基準電圧信号Vrefより低い電圧（Lレベル）から高い電圧（Hレベル）に切り替わる時には、トランジスタQ1がオンしトランジスタQ2がオフする。そのため、トランジスタQ1のコレクタ電圧がHレベル（高論理電圧）からLレベル（低論理電圧）へと切り換わるとともに、トランジスタQ2のコレクタ電圧がLレベルからHレベルへと切り換わる。これにより、トランジスタQ4のベース電位は低くなり、出力端子14からはLレベルの信号が出力される。一方、トランジスタQ6のベース電位は高くなり、出力端子15からHレベルの信号が出力される。

【0023】このとき、トランジスタ3は負荷駆動能力の高いトランジスタQ4に接続された出力端子14のLレベルの信号によって速やかにオンされるため、出力端子15は電源VCCにプルアップされる。一方、トランジスタ2は出力端子15のHレベルの信号によってオフされるため、出力端子14のLレベルの出力は維持される。また、トランジスタ2は出力端子15のHレベルの出力によってオフしているが、出力端子15が電源VCCにプルアップされるため、トランジスタ2のオフ状態が深まり、電源VCCから出力端子14のLレベルへの影響を及ぼさなくできる。

【0024】又、入力信号VIがHレベルからLレベルに切り替わる時には、トランジスタQ1がオフしトラン

10

20

30

40

50

ジスタQ2がオンする。そのため、トランジスタQ1のコレクタ電圧がLレベルからHレベルへと切り換わるとともに、トランジスタQ2のコレクタ電圧がHレベルからLレベルへと切り換わる。これにより、トランジスタQ4のベース電位は高くなり、出力端子14からはHレベルの信号が出力される。一方、トランジスタQ6のベース電位は低くなり、出力端子15からLレベルの信号が出力される。

【0025】このとき、トランジスタ2は負荷駆動能力の高いトランジスタQ6に接続された出力端子15のLレベルの信号によって速やかにオンされるため、出力端子14は電源VCCにプルアップされる。一方、トランジスタ3は出力端子14のHレベルの信号によってオフされるため、出力端子15のLレベルの出力は維持される。また、トランジスタ3は出力端子14のHレベルの出力によってオフしているが、出力端子14が電源VCCにプルアップされるため、トランジスタ3のオフ状態が深まり、電源VCCから出力端子15のLレベルへの影響を及ぼさなくできる。

【0026】さて、トランジスタQ1、Q2のオン状態における抵抗R1、R2での電圧降下を2Vとし、トランジスタQ4、Q6のベース・エミッタ間電圧 $V_{BE}$ を0.8Vとする。すると、トランジスタ2、3がない場合のHレベルの出力信号は図2に破線で示すように、トランジスタQ4、Q6のベース・エミッタ間電圧 $V_{BE}$ だけ低い0.8Vとなる。ところが、トランジスタ2、3によってHレベルの出力信号は図2に実線で示すように電源VCCにプルアップされる。そのため、出力信号の振幅を大きくすることができる。

【0027】また、本実施例では負荷駆動能力の高いエミッタフォロア回路13の出力でトランジスタ2、3を制御しているので、トランジスタ2、3のスイッチング速度を高速化することができる。

【0028】さらに、本実施例では差動増幅回路12の抵抗R1、R2での電圧降下の値を変更していないので、トランジスタQ1のコレクタ電圧がそのベース電圧よりも低くなり過ぎたりすることはなく、トランジスタQ1が飽和することはなく、動作速度を維持できる。

【0029】図3には別の実施例のECL回路4が示されている。このECL回路4にはエミッタフォロア回路13の出力端子14、15に対して第3及び第4のPMOSトランジスタ5、6が設けられている。トランジスタ5、6のしきい値電圧の絶対値は小さく設定されている。

【0030】トランジスタ5のソース及びドレインは電源VCC及び出力端子14にそれぞれ接続されている。トランジスタ5のゲートは出力端子14（トランジスタQ4への出力と同相）とは逆相の信号を出力する差動増幅回路12のトランジスタQ2のコレクタ（トランジスタQ6への出力と同相）に接続されている。トランジスタ

6のソース及びドレインは電源VCC及び出力端子15にそれぞれ接続されている。トランジスタ6のゲートは出力端子15（トランジスタQ6への出力と同相）とは逆相の信号を出力する差動増幅回路12のトランジスタQ1のコレクタ（トランジスタQ4への出力と同相）に接続されている。

【0031】このECL回路4も前記ECL回路1と同様の作用効果がある。また、このECL回路4ではPMOSトランジスタ5、6に inputsするHレベルが電源VCCのレベルとなるため、トランジスタ5、6のしきい値電圧の絶対値が小さくても、トランジスタ5、6を確実にオフさせて、電源VCCから出力端子14、15のLレベルへの影響を及ぼさなくできる。

【0032】図4にはさらに別の実施例のECL回路7が示されている。このECL回路7は前記ECL回路1におけるトランジスタ2、3と電源VCCとの間には、トランジスタ2、3に供給する電流を制限する電流制限用のPMOSトランジスタ8、9が接続されている。

【0033】このトランジスタ8、9のゲートは電源VEEに接続され、電源VEEによって常時オンしている。トランジスタ8、9にはサイズの小さいものが使用されており、電源VCCからトランジスタ2、3に供給する電流を制限することによって、トランジスタ2、3のソース電圧を電源VCCから若干低くするようにしている。従って、電源VCCを基準としたトランジスタ2、3の見かけ上のしきい値電圧は低下（しきい値電圧の絶対値は大きくなる）する。

【0034】このECL回路7も前記ECL回路1と同様の作用効果がある。また、このECL回路7では出力端子14、15のHレベルの出力によってトランジスタ2、3を確実にオフさせて、電源VCCから出力端子14、15のLレベルへの影響を及ぼさなくできる。

【0035】

【発明の効果】以上詳述したように、第1の発明は、ECL回路を飽和させることなく、出力信号の振幅を大きくすることができる。

【0036】第2の発明は、第1及び第2のPMOSトランジスタのスイッチング速度を高速化することができる。第3の発明は、低電位側の出力を安定させることができる。

【0037】第4の発明は、第3及び第4のPMOSトランジスタのしきい値電圧の絶対値が小さくても、第3及び第4のPMOSトランジスタを確実にオフさせて低電位側の出力を安定させることができる。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例を示す回路図である。

【図2】図1のECL回路の出力信号の振幅及び従来のECL回路の出力信号の振幅を示す波形図である。

【図3】別の実施例を示す回路図である。



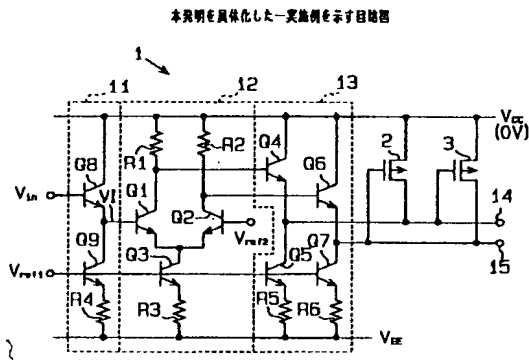
【図4】 別の実施例を示す回路図である。

【図5】 従来例を示す回路図である。

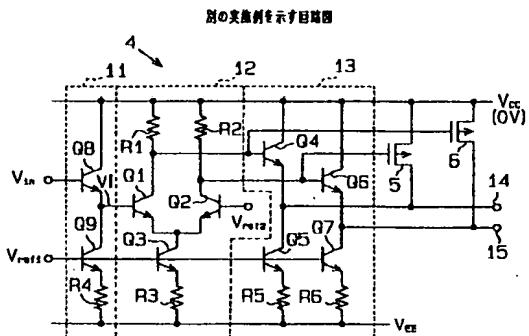
【符号の説明】

- 2, 3 第1及び第2のPMOSトランジスタ
- 5, 6 第3及び第4のPMOSトランジスタ
- 8, 9 電流制限用のPMOSトランジスタ
- 12 差動増幅回路
- 13 エミッタフォロア回路
- 14 第1の出力端子
- 15 第2の出力端子

【図1】



【図3】



(6)

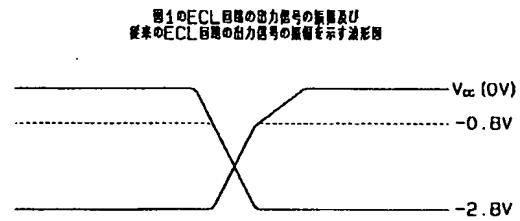


特開平 7-264047

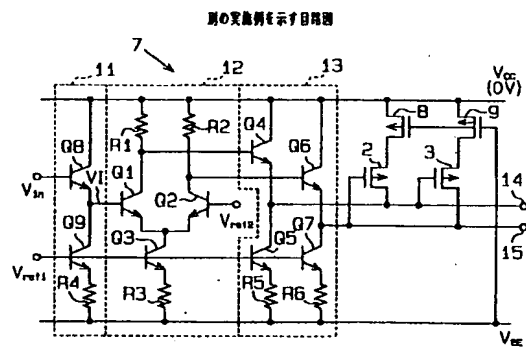
- Q1, Q2 第1及び第2の(NPN)トランジスタ
- Q3 定電流源を構成するNPNトランジスタ
- Q4, Q6 第1及び第2のエミッタフォロアトランジスタ
- R3 定電流源を構成する抵抗
- VCC 高電位電源
- VEE 低電位電源
- VI 入力信号
- Vref2 基準電圧信号

10

【図2】



【図4】



### 図路国を示す例を来従

